

MICRO-ECRAN DE VISUALISATION A CRISTAUX LIQUIDES ET SON PROCEDE DE COMMANDE

L'invention concerne les micro-écrans d'affichage matriciel à cristaux liquides, et notamment ceux qui sont réalisés sur un substrat monolithique de silicium dans lequel sont intégrés les circuits électroniques de commande d'un réseau matriciel de cellules à cristaux liquides.

5 Les afficheurs à cristaux liquides qui sont visés ici sont ceux qui sont capables d'afficher des niveaux de gris intermédiaires et pas seulement une information binaire noir/blanc. Lorsqu'on parle de niveaux de gris, il s'agit de niveaux de luminance en réflexion ou en transmission, et ce vocabulaire "niveaux de gris" sera utilisé ici même si la lumière considérée
10 est colorée comme c'est le cas dans les afficheurs couleur.

Pour afficher une information avec un niveau de gris dans une organisation à pixels (points d'image) passifs, on peut appliquer à chaque cellule élémentaire, constituée d'un cristal liquide entre deux électrodes, une tension analogique de niveau intermédiaire entre un niveau correspondant
15 au noir et un niveau correspondant au blanc. La luminance du point d'image correspondant à la cellule élémentaire (en transmission ou en réflexion) dépend en effet du niveau de la tension appliquée à la cellule. Pour chaque ligne de la matrice, on applique d'abord brièvement sur chaque pixel de la ligne la tension continue qui correspond au niveau de gris désiré pour ce
20 pixel. Cette tension est mise en mémoire dans une capacité de stockage locale, au niveau du pixel, puis on isole cette capacité des circuits qui ont servi à la charger, et on passe à la ligne suivante pour appliquer aux capacités de stockage de la ligne suivante d'autres tensions continues désirées pour les pixels de cette nouvelle ligne. Après avoir ainsi mis en
25 mémoire dans la capacité de stockage de chaque pixel d'une ligne la tension continue désirée pour ce pixel, on relie la capacité de stockage à la cellule à cristal liquide ; celle-ci reçoit donc (à un rapport de division capacitive près) une tension correspondant au niveau de gris désiré, et elle conserve cette tension sans se décharger. Cette tension est ainsi maintenue aux bornes de
30 la cellule à cristal liquide pendant toute la durée d'une trame d'image. Ce type de solution pour produire une image avec des niveaux de gris est malheureusement imprécis car il est dépendant du rapport entre les valeurs

numériques de la capacité de stockage et de la capacité intrinsèque de la cellule à cristal liquide ; ces valeurs sont imprécises car d'une part les capacités sont très petites (pour des raisons d'encombrement et de consommation du circuit intégré) et d'autre part la valeur de la capacité de
5 stockage dépend de la tension à ses bornes (cette capacité étant réalisée dans la pratique à partir d'une grille de transistor MOS).

Un autre type d'organisation de matrice à cristal liquide (organisation à pixels actifs, à modulation de largeur d'impulsion) consiste à appliquer la même tension (par exemple la tension d'alimentation générale
10 Vdd de 5 volts) à tous les pixels, c'est-à-dire à toutes les cellules à cristal liquide, mais à l'appliquer pendant un temps qui est une fraction du temps de trame, cette fraction dépendant du niveau de gris désiré. Tel pixel recevra sur sa cellule à cristal liquide la tension Vdd pendant toute la durée de trame et sera un pixel "noir", pour un type de matrice dite "normalement blanche",
15 c'est-à-dire fournissant un niveau de lumière maximal en l'absence de tension appliquée à la cellule, que ce soit en mode réflexion ou en mode transmission. Tel autre pixel recevra sur sa cellule la tension Vdd pendant une fraction nulle ou insignifiante de la durée de trame et sera "blanc". Tel autre pixel enfin recevra sur sa cellule la tension Vdd pendant une fraction
20 donnée de la durée de trame ; l'œil intègre, si la fréquence de trame est d'au moins 25 Hz, la durée d'application de la tension Vdd et la durée de non-application de cette tension et voit un niveau de gris équivalent qui est proportionnel au rapport entre la durée d'application de la tension Vdd et la durée totale de la trame.

25 Non seulement la valeur de la tension qui sera appliquée à la cellule sera fixe (Vdd) et donc indépendante de la dispersion des valeurs de capacités de la cellule ou des capacités de stockage, mais de plus cette tension sera la plus élevée possible, ce qui est avantageux pour des raisons de temps de réaction et de contraste de l'image.

30 On comprend cependant que l'application d'une tension Vdd à chaque trame, sur toutes les cellules mais pendant une fraction de durée de trame qui est différente pour chaque pixel selon le niveau de gris qui lui est attribué, pose des problèmes difficiles à résoudre.

35 Parmi ces problèmes, il y a notamment celui de la consommation de courant des circuits électroniques qui gèrent ces durées. En particulier, il

y a le problème de la consommation de courant des circuits qui sont localisés au niveau du pixel car c'est au niveau de chaque pixel que devra être calculé le temps d'application de la durée Vdd et au niveau du pixel que devra être effectuée la commande de la cellule pendant une proportion variable de la
5 durée de trame. Cette consommation de courant pour chaque pixel est multipliée par le nombre de pixels qui peut atteindre des centaines de milliers, voire des millions. Il y a aussi le problème de l'encombrement du circuit électronique qui est prévu au niveau de chaque pixel puisque ce circuit est répété des centaines de milliers de fois pour des matrices ayant plusieurs
10 centaines de lignes et de colonnes. Une dimension typique de cellule élémentaire d'affichage est de 10 micromètres sur 10 micromètres et il faut loger dans cette surface le circuit électronique associé à la cellule.

Il faut en particulier limiter le nombre de transistors utilisés pour commander chaque cellule et un but de l'invention est de proposer un
15 procédé et un circuit qui minimisent le nombre de transistors localement associés à chaque pixel.

L'invention propose à cet effet un procédé de commande d'une matrice d'affichage à cristaux liquides qui consiste à appliquer brièvement à une capacité de stockage, associée à une cellule élémentaire à cristal
20 liquide, une tension continue analogique correspondant à un niveau de gris désiré, à relier une borne de la capacité à la grille d'un transistor dont la source est alors reliée à une masse et dont le drain est relié à une source de tension Vdd à travers une source de courant, et à appliquer à l'autre borne de la capacité de stockage une rampe de tension continue variant de
25 manière monotone pendant la durée d'une trame.

La cellule est reliée au drain du transistor et son état de brillance "noir" ou "blanc" dépend du niveau haut ou bas présent sur ce drain.

La rampe monotone est en principe essentiellement linéaire ; cependant elle peut n'être pas parfaitement linéaire ; on peut en particulier
30 envisager qu'elle ne soit pas parfaitement linéaire dans les cas où on voudrait corriger certaines non linéarités du système en agissant sur le profil de la rampe. Une telle correction par un profil non linéaire de rampe peut servir par exemple à améliorer la perception oculaire dans certaines gammes de luminances.

Le procédé selon l'invention agit de la manière suivante : la rampe de tension appliquée à la capacité est reportée par la capacité sur la grille du transistor; la grille reçoit donc une rampe de tension qui part d'un niveau d'autant plus haut que la tension stockée dans la capacité (tension
5 correspondant au niveau de gris désiré) est plus élevée car la tension de la rampe s'ajoute à la tension stockée au préalable dans la capacité ; la rampe de tension sur la grille s'étend sur la durée de trame ; au début, le transistor est bloqué, la tension sur sa grille étant insuffisante par rapport à sa source qui est à la masse (ou plus généralement à un potentiel fixe). Le drain du
10 transistor, alimenté à travers une source de courant qui ne peut pas conduire de courant tant que le transistor n'est pas conducteur, est à un niveau de potentiel égal à V_{dd} , la cellule étant de ce fait dans un premier état (par exemple "noir"). Au moment où la tension sur la grille atteint une tension de seuil V_T du transistor, le transistor se met à conduire et ramène à zéro le
15 potentiel du drain du transistor ; ce moment dépend du niveau de tension qui a été initialement stocké dans la capacité et qui est en relation avec le niveau de gris souhaité. La cellule à cristal liquide est connectée à ce drain et change brusquement d'état (elle prend par exemple l'état "blanc") et reste dans cet état pendant le reste de la trame. La luminance moyenne de la
20 cellule, intégrée par l'œil, dépend donc du niveau de tension initialement stocké dans la capacité.

La rampe de tension varie de préférence entre un niveau de tension nul et un niveau de tension sensiblement égal à la valeur de la tension de seuil V_T du transistor, la tension de seuil étant classiquement la
25 valeur de tension grille-source au-dessus de laquelle le transistor est conducteur et au dessous de laquelle il n'est pas conducteur.

La tension continue analogique représentant le niveau de gris et appliquée aux capacités de stockage varie entre 0 volt (la référence 0 volt étant la tension de source du transistor pendant la durée de la trame) et la
30 même valeur de tension de seuil V_T . La cellule à cristal liquide reçoit, pendant une durée variable à chaque trame, soit la tension d'alimentation V_{dd} soit la tension 0 volt.

L'invention propose par conséquent un afficheur matriciel à cristal liquide, comprenant une matrice active de points d'image ou pixels et des
35 circuits périphériques, la matrice comportant un réseau croisé de lignes

d'adressage et de colonnes d'amenée de tensions analogiques représentant les niveaux de gris à afficher sur les points de chaque ligne et, pour chaque point au croisement d'une ligne et d'une colonne, un circuit électronique élémentaire pour commander une cellule à cristal liquide élémentaire située à ce croisement, le circuit élémentaire comprenant :

- au moins une capacité de stockage pour stocker pendant la durée d'une trame d'image une tension analogique appliquée par la colonne, une première borne de la capacité de stockage étant reliée à la grille du transistor,
- 10 - en série entre deux bornes d'alimentation en tension, une source de courant élémentaire et un transistor de commutation, le drain du transistor de commutation étant relié à la cellule à cristal liquide,

les circuits périphériques comprenant des moyens pour recevoir
15 une rampe de tension périodique, commune à toutes les cellules d'au moins une ligne, la rampe étant appliquée à une deuxième borne de la capacité de stockage des cellules de cette ligne.

Si la tension de seuil grille-source du transistor est V_T , tension au-dessus de laquelle il se met à conduire, la rampe a de préférence une
20 amplitude de V_T : elle varie de 0 à V_T , ou de V_T à zéro, sur la durée d'une trame d'image. La tension analogique représentant le niveau de gris varie en principe entre 0 et V_T .

La rampe de tension est produite par un générateur de rampe qui est intérieur ou extérieur au circuit-intégré monolithique comprenant la
25 matrice d'affichage et ses circuits de commande.

L'invention peut être utilisée pour des afficheurs dans lesquels chaque point d'image est associé à un circuit électronique élémentaire à double mémoire dans lequel il y a non pas une mais deux capacités de stockage et deux transistors de commutation reliés à la même cellule à
30 cristal liquide et fonctionnant en alternance une trame sur deux, une valeur de tension étant appliquée à une capacité pendant une trame impaire alors que l'autre capacité conserve la tension qu'elle a reçue pendant la trame précédente paire, et réciproquement ; la conduction du transistor relié à la première capacité est alors inhibée pendant la trame impaire et autorisée
35 pendant la trame paire. Dans le cas de ces points d'image à double

mémoire, un générateur de rampe peut être utilisé pour générer une rampe à destination de tous les points d'image de la matrice. La rampe est périodique et a pour période la période des trames d'image. Il y a alors deux générateurs de rampe (ou deux parties d'un même générateur de rampe),
5 fonctionnant en alternance une trame sur deux, mais tous deux alimentent tous les points de la matrice.

Si au contraire les points d'image sont à simple mémoire (une seule capacité de stockage et un seul transistor de commutation), une rampe différente est appliquée à chaque ligne de points d'image et il faut donc un
10 générateur de rampe par ligne ; cette rampe démarre après une opération de stockage dans les capacités des cellules d'une ligne et dure pendant le reste d'une durée de trame ; l'opération de stockage de tensions s'effectue ligne par ligne de sorte qu'il faut attendre la fin de l'opération de stockage dans les cellules d'une ligne avant de faire la même opération sur la ligne suivante.
15 Les rampes sont donc toutes de même durée mais décalées dans le temps ligne après ligne.

L'invention est particulièrement applicable aux afficheurs séquentiels couleur dans lesquels les trames d'image consécutives modulent des couleurs de lumière différentes : chaque trame d'image correspond à
20 l'affichage d'une seule couleur, une lumière de ladite couleur étant émise devant la matrice pendant cette trame pour être modulée spatialement par la matrice en fonction d'une information propre à cette couleur ; la lumière d'une couleur est obtenue par une source de cette couleur (puis des sources de couleur différente pour les trames suivantes, en synchronisme avec
25 l'application de la rampe aux capacités de stockage qui contiennent l'information correspondant à cette couleur) ; ou bien la lumière d'une couleur est obtenue à partir d'une lumière blanche devant laquelle passe, toujours en synchronisme avec l'application de la rampe aux capacités de stockage qui contiennent l'information relative à la couleur choisie, un filtre de cette
30 couleur (puis des filtres d'autres couleurs pour les trames suivantes).

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente une vue générale de l'architecture des circuits électroniques de commande de l'écran d'affichage ;
- la figure 2 représente le détail d'un circuit électronique élémentaire associé à un pixel de l'écran.

5

Dans ce qui suit on considérera uniquement des cellules à cristal liquide de type "normalement blanc", qu'elles travaillent en réflexion (lumière émise vers l'écran depuis le côté de l'observateur) ou en transmission (lumière provenant de derrière l'écran). Une cellule de type "normalement blanc" sera vue par l'observateur comme ayant une luminance maximale (blanc) lorsqu'une tension électrique nulle est appliquée entre les électrodes de la cellule et une luminance minimale (noir) lorsqu'une tension d'alimentation maximale V_{dd} est appliquée en permanence à la cellule.

La figure 1 représente l'organisation générale de l'électronique de commande d'un micro-écran de visualisation à cristaux liquides. La matrice comprend des points d'image ou pixels individuels P11, P12, P21, P22, etc., organisés en lignes et en colonnes. L'information de niveau de gris (ou, bien entendu, de niveau de couleur) est apportée par des conducteurs de colonne C1, C2, etc., sous forme d'une tension analogique variant entre un niveau minimum 0 volt et un niveau maximum V_T .

Le schéma de la figure 1 est valable aussi bien dans le cas où les pixels comportent deux capacités de stockage de cette tension analogique, fonctionnant en alternance au cours des trames successives paires et impaires, que dans le cas où les pixels ne comportent qu'une capacité de stockage dont le contenu est renouvelé à chaque trame. On reviendra ultérieurement sur les différences entre ces deux types de structure.

Le niveau de la tension appliquée à un instant donné à une colonne représente le niveau de gris à afficher en un pixel situé au carrefour de cette colonne et d'une ligne activée à cet instant par un registre de sélection de ligne RL. Un conducteur de ligne L1, L2, etc., spécifique à chaque ligne, permet d'activer tous les pixels de cette ligne à un instant donné, les pixels des autres lignes étant désactivés pour qu'une seule ligne à la fois soit activée. On verra plus loin que le conducteur de ligne L1 est subdivisé en deux conducteurs de ligne L1a, L2a pour les matrices à double mémoire, mais tous les pixels d'une ligne sont toujours activés

simultanément. Les pixels de la ligne activée reçoivent la tension présente à ce moment sur leur conducteur de colonne respectif et la mémorisent dans une capacité de stockage interne à chaque pixel ; les pixels désactivés ne la reçoivent pas mais conservent en mémoire la tension qu'ils ont pu stocker
5 préalablement. C'est cette tension analogique mise en mémoire pendant toute la durée d'une trame qui contrôle (indirectement comme on le verra) la luminance du pixel pendant une trame.

Les lignes sont activées les unes après les autres au cours d'une trame pour déterminer les nouvelles luminances à affecter à chaque point de
10 la matrice. C'est le registre de commande RL qui effectue la séquence d'activation successive des lignes. Pour chaque activation de ligne, on applique aux conducteurs de colonne les tensions de niveau de gris qui correspondent à cette ligne, et on change ces tensions pour la ligne suivante.

15 La tension analogique appliquée à une colonne lors de la sélection d'une ligne peut être établie à partir d'une conversion analogique-numérique de la manière suivante : un registre numérique RC contient, pour chaque colonne, une valeur numérique (codée sur 8 bits par exemple) représentant le niveau de gris à appliquer au point situé au carrefour de la colonne et de
20 la ligne sélectionnée à cet instant ; le registre RC est rechargé à chaque nouvelle sélection de ligne et des circuits de synchronisation non représentés servent bien entendu à synchroniser les opérations de ligne et de colonne. La sortie numérique du registre (une sortie par colonne) est appliquée à un comparateur CMP1, CMP2 ... correspondant à cette colonne ; le
25 comparateur reçoit par ailleurs le contenu d'un compteur CPT qui compte périodiquement et régulièrement de 0 à la valeur maximale pouvant être contenue dans le registre RC (la valeur maximale est 255 pour un registre à huit bits par colonne) ; quand le contenu du compteur atteint la valeur contenue dans le registre pour une colonne déterminée, le comparateur
30 associé à cette colonne fournit une impulsion unique brève ; le compteur CPT est le même pour toutes les colonnes. L'impulsion fournie par un comparateur CMP1, CMP2, ... associé à une colonne ferme un interrupteur K1, K2, ..., situé sur le conducteur de colonne C1, C2, respectif ; par cette fermeture, l'interrupteur applique à cette colonne une tension analogique qui,
35 comme on le verra, représente le niveau de gris désiré. La période du

compteur est la période de ligne, c'est-à-dire que le compteur recommence à compter chaque fois qu'on sélectionne une nouvelle ligne pour mémoriser des niveaux de gris dans les pixels de cette ligne.

La tension analogique appliquée à la colonne par l'interrupteur K1,
5 K2, ... provient d'un générateur de rampe linéaire de tension agissant en synchronisme avec le compteur CPT, et produisant une tension variant linéairement de zéro à une valeur maximale (VT). Cette rampe est renouvelée à chaque nouvelle sélection de ligne. Elle est commune à toute la matrice de points. Ainsi, au fur et à mesure que le compteur compte de 0 à
10 un contenu maximal, la rampe croît de 0 à sa valeur maximale. La tension instantanée de la rampe est donc proportionnelle au contenu du compteur. L'impulsion de fermeture de l'interrupteur survient au moment où le contenu du compteur est égal à une valeur désirée et la rampe a à ce moment une valeur proportionnelle à cette valeur. C'est la valeur instantanée de la rampe
15 à ce moment qui est appliquée au conducteur de colonne pour charger en mémoire dans le pixel de la ligne sélectionnée une valeur représentant le niveau de gris désiré issu du registre de colonne RC.

Le générateur de rampe peut, à titre d'exemple, être simplement constitué par un convertisseur numérique-analogique DAC recevant le
20 contenu du compteur CPT.

On trouve encore dans l'organisation générale de l'écran selon l'invention un autre générateur de rampe GR, éventuellement divisé en deux générateurs de rampes Gra, GRB dans le cas où les pixels de la matrice sont à double mémoire. Ce générateur de rampe fournit à chaque trame une
25 rampe de tension en principe linéaire ayant une durée de montée, de zéro à une tension maximale, égale à la durée d'une trame d'image. Il sert à appliquer une rampe de tension en principe linéaire à tous les pixels de la matrice pendant une phase de contrôle de la tension appliquée aux électrodes de la cellule élémentaire à cristal liquide présente localement à
30 chaque croisement de ligne et de colonne. On notera cependant que dans le cas de pixels à simple mémoire, le générateur de rampe devra être capable de produire autant de rampes décalées dans le temps qu'il y a de lignes dans la matrice, chaque rampe étant appliquée à une ligne respective, alors que dans le cas de pixels à double mémoire, il suffit que le générateur
35 produise une seule rampe pour tous les points de la matrice selon des

modalités qu'on expliquera plus loin. Le générateur de rampe peut être réalisé sur le circuit-intégré portant la matrice d'affichage ou à l'extérieur de ce circuit intégré, et dans ce dernier cas le circuit intégré comporte une entrée réservée à la réception d'un signal en rampe.

5 La figure 2 représente la constitution du circuit électronique élémentaire associé à un pixel situé au croisement d'une ligne L1 et d'une colonne C1, ce circuit étant localisé à l'endroit de ce croisement ; la constitution représentée correspond à une réalisation dans laquelle chaque pixel comporte une double mémoire de tension analogique représentant un
10 niveau de gris localement stocké dans le pixel.

Globalement, le fonctionnement d'un pixel à double mémoire est le suivant : pendant une trame impaire, on effectue l'opération de stockage d'un niveau de gris respectif dans la première mémoire de chacun des pixels et on utilise pour contrôler l'affichage de la cellule un niveau de gris qui avait
15 été préalablement stocké, pendant la trame paire précédente, dans la deuxième mémoire ; pendant la trame paire qui suit la trame impaire, on utilise la tension préalablement stockée dans la première mémoire pour contrôler l'affichage par la cellule à cristal liquide associée à chaque pixel, et pendant ce temps on stocke un nouveau niveau de gris dans la deuxième
20 mémoire associée à la même cellule. Toute la durée de chaque trame peut être ainsi utilisée pour une opération de contrôle de l'affichage de la cellule, alors que s'il n'y avait qu'une mémoire de stockage par pixel, il faudrait utiliser une partie de la trame pour l'opération de stockage et une autre partie de la trame pour la commande proprement dite des cellules.

25 La première mémoire est constituée par une première capacité de stockage Ca et la deuxième mémoire est constituée par une deuxième capacité de stockage Cb. La capacité Ca peut être reliée par une première borne au conducteur de colonne C1 par l'intermédiaire d'un interrupteur de sélection de ligne KL1a et la capacité Cb peut être reliée par une première
30 borne au même conducteur de colonne C1 par un autre interrupteur de sélection de ligne KL1b. L'interrupteur KL1a est fermé pour établir cette connexion uniquement pendant les trames impaires, et seulement lorsque c'est la ligne L1 qui est sélectionnée par le registre de sélection de ligne RL pour une opération de stockage d'un nouveau niveau de gris dans les pixels
35 de cette ligne. L'interrupteur KL1b est fermé uniquement pendant les trames

5 paires et seulement lorsque c'est le tour de la ligne L1 de recevoir des niveaux de gris. Pendant l'opération de stockage d'un niveau de gris dans les pixels des lignes au cours d'une trame impaire, la deuxième borne de la capacité Ca est mise à la masse, de sorte que la tension analogique présente sur la colonne C1 à ce moment est appliquée, à travers l'interrupteur KL1a aux bornes de la capacité Ca. Cette tension, on le rappelle est issue d'une rampe échantillonnée par l'interrupteur K1 (figure 1) au moment où le niveau de tension de la rampe correspond à une valeur définie numériquement par le registre de colonne RC.

10 L'interrupteur KL1a est commandé par un premier conducteur de ligne L1a et l'interrupteur KL1b est commandé par un deuxième conducteur de ligne L1b. La ligne L1 est définie par ces deux conducteurs, et le registre de sélection de ligne détermine le choix du conducteur de ligne utilisé pour une trame déterminée : L1a pour les trames impaires, L1b pour les trames paires, mais il s'agit toujours des pixels de la ligne de pixels L1.

15 Après chargement d'une tension analogique dans la capacité Ca ou Cb selon qu'on est dans une trame impaire ou paire, l'interrupteur de sélection de ligne correspondant KL1a ou KL1b est ouvert et la capacité Ca ou Cb, dès lors isolée, conserve une charge constante pendant tout le reste de la trame (c'est-à-dire pendant le chargement des autres lignes) et pendant la trame suivante (c'est-à-dire pendant l'opération d'affichage proprement dite).

25 Après stockage d'une tension analogique dans une ligne, le séquençement du registre de sélection de ligne sélectionne la ligne suivante. La sélection de ligne pour la fermeture de l'interrupteur agit uniquement sur les interrupteurs KL1a au cours des trames impaires et uniquement sur les interrupteurs KL1b au cours des trames paires.

30 La première borne de la capacité de stockage Ca (c'est-à-dire la borne qui est reliée à l'interrupteur KL1a) est également reliée à la grille d'un transistor MOS désigné par la référence Ta, alors que la première borne de la capacité Cb est reliée à la grille d'un transistor MOS Tb.

35 La source du transistor Ta est reliée à la masse (c'est-à-dire une référence de potentiel qu'on peut considérer comme nulle), mais seulement pendant les trames paires. Un interrupteur KT1a est intercalé entre la source du transistor Ta et la masse pour inhiber la conduction de courant par le

transistor Ta pendant les trames impaires. Les interrupteurs KT1a de tous les pixels de la matrice sont commandés simultanément pour être fermés pendant toute la durée des trames paires mais ouverts pendant la durée des trames impaires. De la même manière, la source du transistor Tb est reliée à la masse par un interrupteur KT1b fermé pendant toute la durée des trames impaires et ouvert pendant les trames paires.

Le drain du transistor Ta et le drain du transistor Tb sont reliés à une première électrode de la cellule à cristal liquide LC correspondant au pixel auquel le circuit élémentaire de la figure 1 est localement associé. En effet, la cellule sera commandée par une application d'une tension aux électrodes de la cellule soit pendant les trames paires par le drain du transistor Ta soit pendant les trames impaires par le drain du transistor Tb.

La cellule comporte une deuxième électrode qui est en général commune à toute la matrice et qu'on considérera dans un premier temps comme étant portée au potentiel de masse 0 volt.

Les drains des transistors Ta et Tb sont par ailleurs reliés à une même source de courant constant SC1 constituée par un transistor PMOS relié entre l'alimentation générale Vdd et les drains, ce transistor ayant sa grille connectée à un potentiel Vpol tel que le courant dans le transistor soit fixe ; en particulier, le potentiel de grille peut être déterminé par un montage classique à miroir de courant tel que le courant dans ce transistor soit la recopie du courant d'une source de courant fixe non représentée. La valeur du courant constant est déterminée classiquement par le potentiel Vpol et par la géométrie du canal du transistor. Les sources de courant constant de tous les pixels sont identiques. Cette source de courant SC1 alimente le transistor Ta ou le transistor Tb selon que la trame est impaire ou paire avec un courant fixe, par exemple de l'ordre de 100 nanoampères, à condition toutefois que le transistor Ta (ou Tb) soit dans un état passant et non dans un état bloqué. Comme on le verra, l'état du transistor est déterminé par le potentiel appliqué à sa grille par la capacité Ca ou Cb.

Enfin, pendant les trames impaires, le potentiel appliqué à la deuxième borne de la capacité Ca est nul, mais pendant les trames paires on applique à cette deuxième borne un potentiel déterminé par le générateur de rampe de tension linéaire mentionné en référence à la figure 1 et qui est commun à toutes les cellules de la matrice. Inversement, pendant les trames

impaires, la même rampe de tension est appliquée à la deuxième borne de la capacité C_b , alors que pendant les trames paires un potentiel nul est maintenu sur cette borne.

Le générateur de rampe produit une rampe de tension analogique
5 linéaire qui part de 0 au début de la trame et qui arrive à la fin de la trame à une valeur maximale qui est de préférence égale à la tension de seuil V_T de mise en conduction du transistor T_a ou T_b . Cette tension de seuil V_T est la limite d'une tension appliquée entre grille et source du transistor telle qu'une valeur supérieure à V_T rende le transistor conducteur et une valeur inférieure
10 à V_T bloque la conduction du transistor. Elle peut être classiquement d'environ 1 volt mais on peut réaliser des transistors ayant des valeurs de seuil choisies à volonté.

On fait ici une parenthèse pour dire que la tension analogique stockée dans la capacité de stockage a en principe une valeur qui peut varier
15 entre une valeur minimale égale à zéro et une valeur maximale qui est en principe égale à V_T , toute valeur intermédiaire étant destinée à permettre d'engendrer un éclairnement avec un niveau de gris intermédiaire entre le niveau de blanc (pour la valeur minimale 0) et le niveau de noir (pour la valeur maximale V_T).

20 La matrice d'affichage fonctionne de la manière suivante : après avoir chargé ligne par ligne au cours d'une trame impaire toutes les capacités C_a de la matrice avec des valeurs de tension analogique V_i comprises entre 0 et V_T et représentant le niveau de gris désiré pour chaque pixel, on ferme l'interrupteur $KT1a$ au début de la trame paire suivante pour
25 mettre la source du transistor T_a à la masse, et on applique à la deuxième borne de la capacité C_a la rampe de tension linéaire partant de zéro et atteignant V_T au bout d'un temps égal à la durée de la trame. La tension présente sur la grille du transistor T_a est alors la somme de la tension V_r de la rampe à un instant donné et de la tension V_i initialement chargée dans la
30 capacité.

Cette somme de tension V_r varie linéairement en partant de V_i et en allant jusqu'à $V_i + V_T$. Tant que la tension V_r appliquée à la grille du transistor T_a est inférieure à la valeur V_T qui est le seuil de conduction du transistor T_a , ce dernier reste bloqué de sorte que la source de courant $SC1$
35 ne conduit pas de courant et la tension de drain du transistor (également

celle qui est appliquée à la première électrode du cristal liquide) est égale à Vdd, la deuxième électrode ou contre-électrode étant à 0 volt. Le cristal liquide est dans un état "noir" pour une matrice dite "normalement blanche". Lorsque la tension appliquée à la grille devient supérieure à VT, le transistor
5 Ta devient conducteur et met l'électrode à la masse ; le cristal liquide passe à l'état "blanc".

Le rapport entre le temps pendant lequel la cellule est noire et le temps pendant lequel elle est blanche est directement proportionnel à la valeur Vi de niveau de gris stockée dans la capacité Ca. Pour Vi=0, le
10 transistor Ta ne devient conducteur qu'à la fin de la trame, la tension appliquée à la cellule est Vdd pendant toute la trame. La cellule est noire à 100% du temps de trame. Pour Vi=Vdd (valeur maximale possible pour Vi) le transistor devient conducteur dès le début de la trame, et la tension appliquée à la cellule est 0 pendant toute la trame. La cellule est blanche
15 pendant 100% du temps de trame. Pour Vi intermédiaire, la cellule est noire (application de Vdd) pendant une proportion Vi/VT du temps de trame et blanche (application de 0 volt) pendant une fraction (VT-Vi)/VT du temps de trame ; la période de trame est courte (typiquement 1/25 de seconde) et l'œil intègre les variations entre noir et blanc ; le niveau de gris équivalent perçu
20 par l'œil est directement représenté par la valeur Vi/VT donc par la valeur Vi (gris d'autant plus clair que Vi est grand pour une cellule normalement blanche).

Dans le schéma de la figure 2, les interrupteurs sont réalisés par des transistors MOS. Les capacités Ca et Cb sont en principe aussi réalisés
25 par des transistors MOS dont le drain et la source sont réunis et forment avec le canal une première électrode de capacité et dont la grille isolée forme une deuxième électrode. On notera qu'avec le schéma selon l'invention, la circuiterie associée à un pixel comprend un petit nombre d'éléments, de sorte que l'encombrement global de cette circuiterie est limité.

30 Le fonctionnement repose en partie sur l'aptitude de la capacité Ca ou Cb à conserver pendant toute la trame la tension de niveau de gris stockée au cours de la trame précédente. Le circuit selon l'invention fait qu'il y a peu de chemins de fuite de courant qui feraient perdre la charge de la capacité.

Dans le schéma de la figure 2, on a supposé pour simplifier que la cellule à cristal liquide a une première électrode reliée au drain des transistors Ta et Tb et une deuxième électrode ou contre-électrode reliée à la masse. Toutefois, il est en général nécessaire de « dépolari-
5 liquide en s'arrangeant pour qu'il ait à ses bornes une tension moyenne nulle, ce qui ne serait pas le cas si la deuxième électrode était toujours à la masse et si la première oscillait entre 0 volt et Vdd. C'est pourquoi on prévoit classiquement, et l'invention est compatible avec cette précaution, d'inverser périodiquement le sens de la tension appliquée au cristal liquide.

10 Par exemple, si dans une première trame ou une première série de trames la contre-électrode est à 0 volt, on peut prévoir que dans une deuxième trame ou une deuxième série de trames la contre-électrode sera à Vdd. Mais si la contre-électrode est à Vdd, alors la cellule sera noire à condition que la première électrode soit à 0 volt et blanche à condition que la
15 première électrode soit à Vdd. Cela veut dire que pour avoir le même niveau de gris lorsque la tension analogique représentant ce niveau est V_i , stockée dans la capacité, il faut appliquer l'équivalent d'une tension moyenne $V_{dd}-V_i$ et non pas V_i à la première électrode de la cellule ; cela veut dire qu'il faut appliquer une tension 0 volt pendant une fraction V_i/V_T du temps de trame et
20 une tension Vdd pendant une fraction $(V_T-V_i)/V_T$; c'est donc l'inverse du cas où la contre-électrode était à 0 volt et où on appliquait une tension Vdd pendant une fraction V_i/V_T et une tension Vdd pendant une fraction $(V_T-V_i)/V_T$.

Par conséquent, si on veut pouvoir effectuer cette alternance de
25 polarisation de la cellule à cristal liquide, on pourra tout simplement inverser périodiquement le sens des rampes fournies par les générateurs de rampe et appliquées aux capacités Ca et Cb des pixels. Ainsi, par exemple, la rampe appliquée pendant la trame paire à la capacité Ca pourra être une rampe descendante partant de V_T au début de la trame et décroissant linéairement
30 jusqu'à 0 volt à la fin de la trame.

L'alternance des polarisations, par alternance du sens des rampes en même temps qu'on alterne la polarisation 0 ou Vdd appliquée à la deuxième électrode du cristal liquide, peut se faire périodiquement à toutes les trames ou toutes les deux trames. Si c'est toutes les trames, on peut
35 prévoir qu'une des deux capacités de stockage recevra systématiquement

une rampe montante et l'autre recevra systématiquement une rampe descendante.

Il est possible aussi de conserver la même rampe montante à toutes les trames et pour les deux capacités et d'inverser simplement la donnée numérique dans le registre de colonne RC en synchronisme avec l'alternance de polarisation de la contre-électrode de la matrice de cellules. Il est également possible, sans inverser les valeurs de données numériques dans le registre de colonne, d'inverser l'échelle des valeurs de la tension analogique V_i , par exemple en inversant la rampe produite par le convertisseur numérique-analogique qui établit la tension V_i ; ceci peut être fait en appliquant au convertisseur non pas le contenu du compteur CPT mais le complément du contenu de ce compteur ; là encore, il faut synchroniser ce changement d'entrée du convertisseur avec le changement de polarisation de la contre-électrode.

Si on veut faire un afficheur séquentiel couleur avec cette matrice on introduira dans le registre de colonne pour une trame déterminée, par exemple impaire, les informations de niveau de gris correspondant à une première couleur, et on stockera en mémoire dans les pixels ces informations successivement pour toutes les lignes ; pendant la trame paire suivante, qui est la trame active pour l'affichage de ces informations, on mettra en mémoire des informations correspondant à une deuxième couleur, et on émettra une lumière de la première couleur qui sera modulée par l'écran ; on attendra la trame impaire suivante pour afficher les informations de la deuxième couleur.

Pour des applications différentes (sans couleur ou en tout cas ne fonctionnant pas en séquentiel couleur) on peut se contenter de pixels à simple mémoire ne comportant qu'une capacité C_a , un transistor T_b , un conducteur de ligne par ligne de pixels. Ceci permet donc de supprimer la capacité C_b , le transistor T_b , les interrupteurs $KT1a$, $KT1b$, $KL1b$, le conducteur $L1b$ et d'obtenir un point mémoire moins encombrant. Cependant, cela oblige à prévoir un générateur de rampe pour chaque ligne de pixels. L'affichage d'une trame d'image est progressif : les informations de la première ligne d'image sont stockées dans le registre de colonne et converties en tension analogique V_i pendant la sélection de cette ligne par le registre de sélection RL . Aussitôt après l'arrêt de la sélection de cette ligne

commence d'une part la sélection de la ligne suivante et d'autre part le début d'une rampe de tension ayant la durée d'une trame, cette rampe étant appliquée à la capacité de stockage Ca. Pour la deuxième ligne, la rampe appliquée démarre dès la fin de la sélection de la deuxième ligne et elle a la

5 même durée, et ainsi de suite. Les circuits périphériques de génération de rampe linéaire sont donc plus complexes.

REVENDICATIONS

1. Procédé de commande des pixels d'une matrice d'affichage à cristaux liquides qui consiste à appliquer brièvement à une capacité de stockage (Ca, Cb), associée à une cellule élémentaire à cristal liquide (LC), une tension continue analogique (V_i) correspondant à un niveau de gris
5 désiré, à relier une première borne de la capacité à la grille d'un transistor (Ta, Tb) dont la source est alors reliée à une masse et dont le drain est relié à une électrode de la cellule et est relié par ailleurs à une source de tension Vdd à travers une source de courant (SC1), et à appliquer à une deuxième borne de la capacité de stockage une rampe de tension continue variant de
10 manière monotone pendant la durée d'une trame d'image.

2. Procédé selon la revendication 1, caractérisé en ce que la rampe de tension varie de manière essentiellement linéaire entre un niveau de tension nul et un niveau de tension sensiblement égal à la valeur d'une tension de seuil de mise en conduction V_T du transistor.
15

3. Procédé selon la revendication 2, caractérisé en ce que la tension continue analogique représentant le niveau de gris et appliquée aux capacités de stockage varie entre 0 volt et la même valeur de tension de seuil V_T .
20

4. Procédé selon la revendication 3, caractérisé en ce que la cellule à cristal liquide reçoit une tension d'alimentation Vdd pendant une fraction d'une durée de trame égale à V_i/V_T ou $(V_T - V_i)/V_T$ et une tension nulle le reste du temps.
25

5. Procédé selon l'une des revendications 1 à 4, caractérisé en ce qu'un générateur de rampe est associé à chaque ligne de la matrice, une rampe débutant après qu'une tension analogique a été chargée dans une capacité de stockage de chacun des points de la ligne.
30

6. Procédé selon l'une des revendications 1 à 4, caractérisé en ce que deux capacités de stockage (Ca, Cb) et deux transistors (Ta, Tb) sont associés à chaque cellule élémentaire à cristal liquide, la première capacité et le premier transistor fonctionnant en alternance avec la deuxième capacité et le deuxième transistor pour stocker ligne par ligne une tension analogique représentant un niveau de gris dans la première capacité pendant les trames paires pendant que la commande de la cellule est assurée par le deuxième transistor et la deuxième capacité, et pour stocker ligne par ligne dans la deuxième capacité une tension analogique représentant un niveau de gris pendant les trames paires pendant que la commande de la cellule est assurée par le premier transistor et la deuxième capacité, la deuxième borne de la première capacité de stockage étant maintenue à 0 volt pendant les trames impaires et recevant une rampe linéaire pendant les trames paires, et réciproquement la deuxième borne de la deuxième capacité étant maintenue à 0 volt pendant les trames paires et recevant une rampe linéaire pendant les trames impaires.

7. Afficheur matriciel à cristal liquide, comprenant une matrice active de points d'image et des circuits périphériques, la matrice comportant un réseau croisé de lignes d'adressage (L1a, L1b) et de colonnes (C1, C2) d'amenée de tensions analogiques représentant les niveaux de gris à afficher sur les points de chaque ligne et, pour chaque point au croisement d'une ligne et d'une colonne, un circuit électronique élémentaire pour commander une cellule à cristal liquide élémentaire située à ce croisement, le circuit élémentaire comprenant :

- au moins une capacité de stockage (Ca, Cb) pour stocker pendant la durée d'une trame d'image une tension analogique (Vi) appliquée par la colonne, une première borne de la capacité de stockage étant reliée à la grille du transistor (Ta, Tb),
- en série entre deux bornes d'alimentation en tension, une source de courant élémentaire (SC1) et un transistor de commutation (Ta, Tb), le drain du transistor de commutation étant relié à la cellule à cristal liquide (LC),

les circuits périphériques comprenant des moyens pour recevoir une rampe de tension périodique (GR), commune à toutes les cellules d'au

moins une ligne, la rampe étant appliquée à une deuxième borne de la capacité de stockage des cellules de cette ligne.

8. Afficheur matriciel selon la revendication 7, caractérisé en ce
5 que la tension de seuil grille-source de mise en conduction du transistor est V_T , la rampe a une amplitude de V_T , et la tension analogique représentant le niveau de gris peut varier entre 0 et V_T .

9. Afficheur matriciel selon l'une des revendications 7 et 8,
10 caractérisé en ce que le circuit élémentaire associé à chaque point d'image est un circuit à double mémoire comprenant deux capacités de stockage (C_a , C_b) et deux transistors de commutation reliés à la même cellule élémentaire (LC) et fonctionnant en alternance une trame sur deux, une valeur de tension étant appliquée à une première capacité (C_a) pendant une trame impaire
15 alors que la deuxième capacité (C_b) conserve la tension qu'elle a reçue pendant la trame précédente paire, et réciproquement, le circuit comprenant un organe d'inhibition (KT1a) de la conduction du transistor relié à la première capacité pour inhiber cette conduction pendant la trame impaire et
20 un organe d'inhibition (KT1b) de la conduction du transistor relié à la deuxième capacité pour inhiber cette conduction pendant la trame paire.

10. Afficheur matriciel selon la revendication 9, caractérisé en ce
qu'il comporte des moyens pour appliquer une rampe à toutes les premières
25 capacités pendant les trames paires et pour appliquer une rampe à toutes les deuxièmes capacités de la matrice pendant les trames impaires.

11. Afficheur matriciel selon l'une des revendications 7 et 8,
caractérisé en ce que le circuit élémentaire associé à chaque point d'image
est un circuit à simple mémoire avec une seule capacité de stockage et un
30 seul transistor de commutation, et en ce qu'il est prévu des moyens pour appliquer aux capacités de stockage d'une ligne de points de la matrice une rampe qui démarre après une opération de stockage dans les capacités des
cellules de cette ligne et qui dure pendant le reste d'une durée de trame, les
opérations de stockage de tensions analogiques dans les capacités
35 s'effectuant ligne par ligne.

12. Afficheur matriciel selon l'une des revendications 7 à 10, caractérisé en ce qu'il constitue un afficheur séquentiel couleur dans lequel les trames d'image consécutives servent à la modulation de lumière de
- 5 couleurs différentes.

1/2

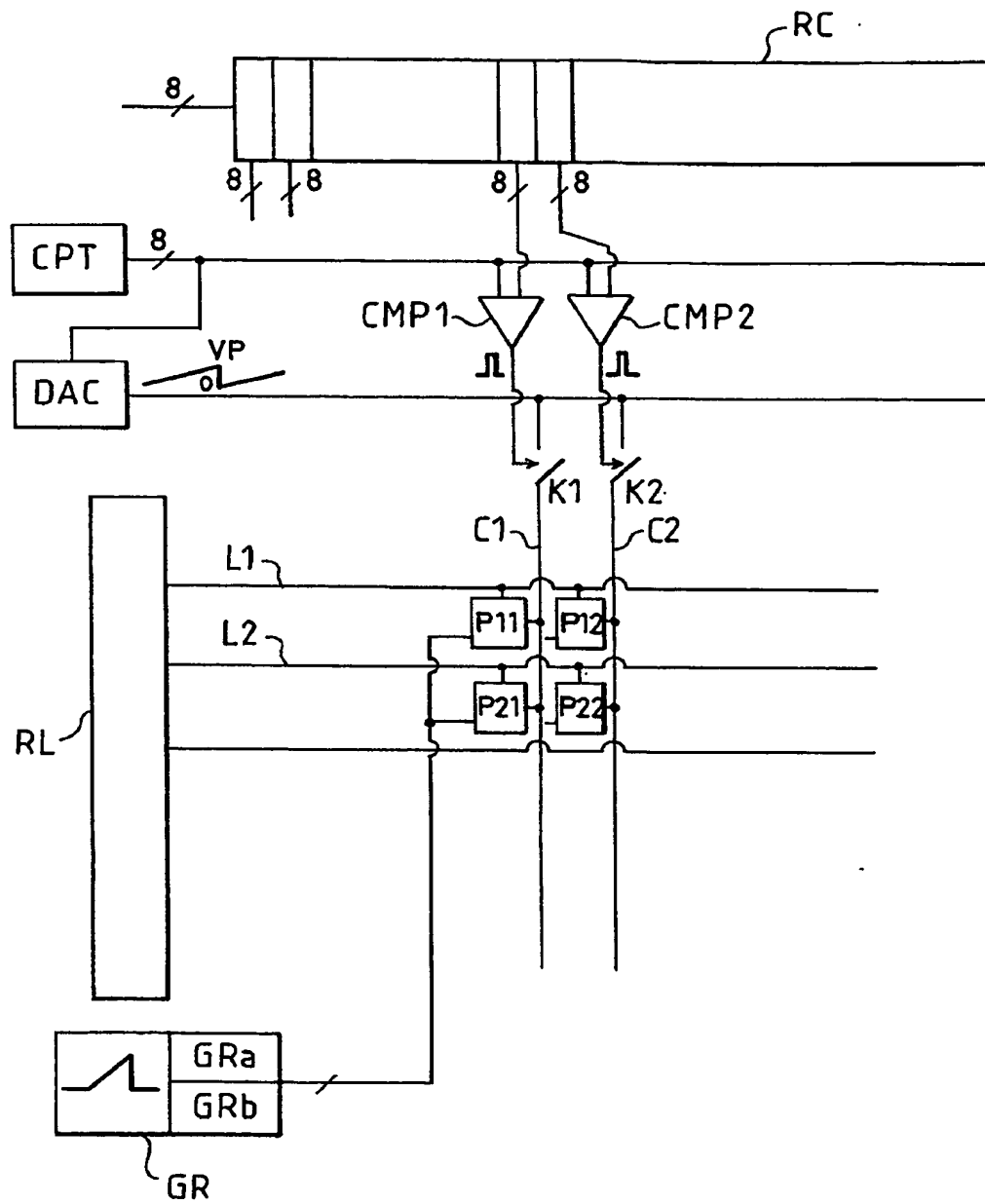


FIG.1

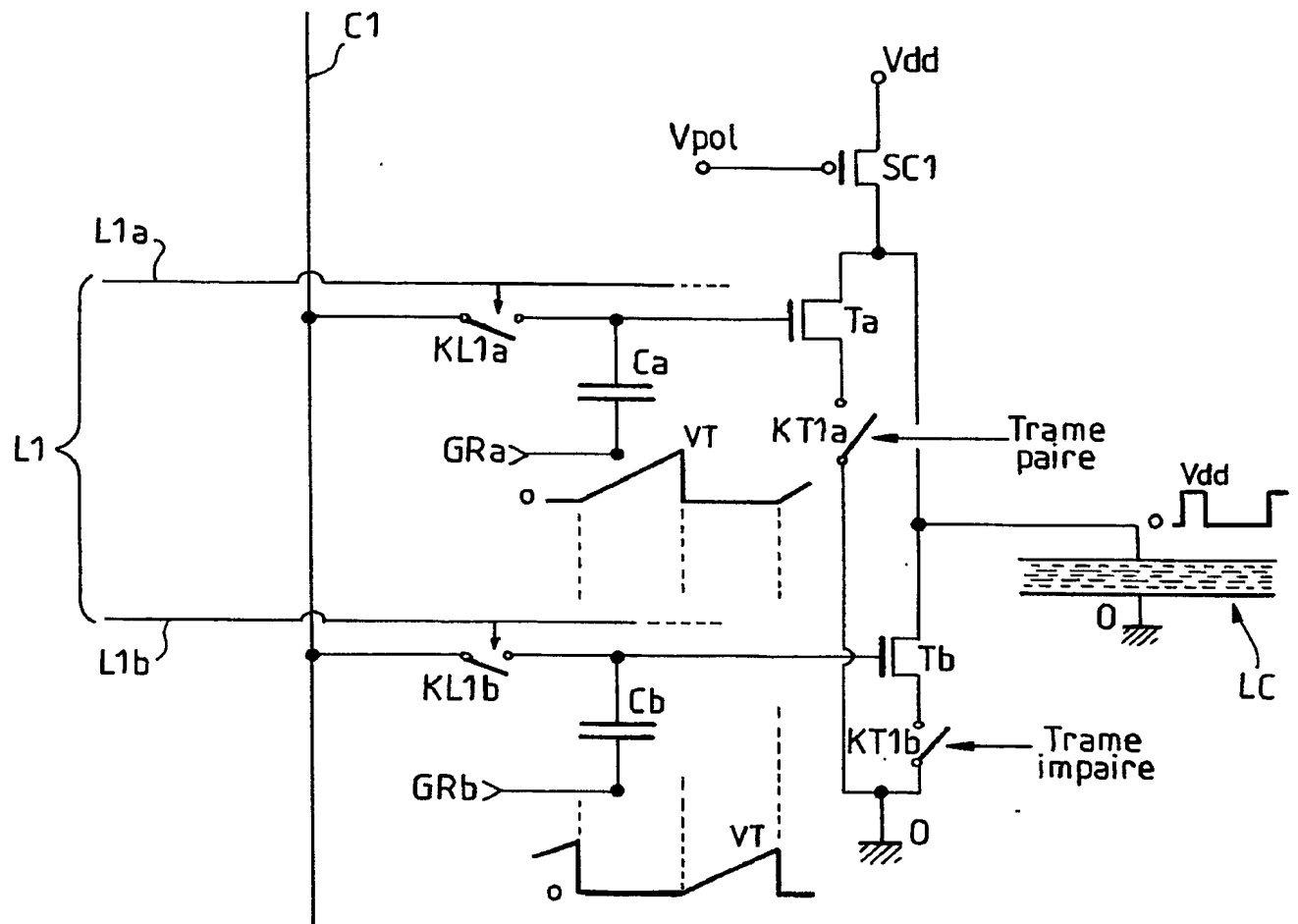


FIG. 2

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP2004/052408

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 953 960 A (HEWLETT PACKARD CO) 3 November 1999 (1999-11-03) paragraph '0029! paragraph '0065! paragraph '0068! - paragraph '0080! paragraph '0090! - paragraph '0096! figures 4-7	1-5, 7, 8, 11, 12
A	US 2001/045929 A1 (MALAVIYA SHASHI D ET AL) 29 November 2001 (2001-11-29) paragraph '0039! - paragraph '0045! figures 1,2	1,7
A	US 2003/160751 A1 (FURUHASHI TSUTOMU ET AL) 28 August 2003 (2003-08-28) paragraph '0005! - paragraph '0007! figures 4,5	1,7
	----- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the International filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the International filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

20 December 2004

Date of mailing of the international search report

03/01/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Farricella, L

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP2004/052408

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	AKIMOTO H ET AL: "AN INNOVATIVE PIXEL-DRIVING SCHEME FOR 64-LEVEL GRAY-SCALE FULL-COLOR ACTIVE MATRIX OLED DISPLAYS" 2002 SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS. BOSTON, MA, MAY 21 - 23, 2002, SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA : SID, US, vol. VOL. 33 / 2, May 2002 (2002-05), pages 972-975, XP001134330 paragraph '0002!; figure 2 -----	1,7
A	US 6 525 709 B1 (O'CALLAGHAN MICHAEL J) 25 February 2003 (2003-02-25) column 5, line 1 - column 7, line 24 figure 3 -----	1,7
A	WO 99/38148 A (FED CORP ; MALAVIYA SHASHI (US); HOWARD WEBSTER E (US); PRACHE OLIVIER) 29 July 1999 (1999-07-29) -----	
A	US 5 977 940 A (HIOKI TSUYOSHI ET AL) 2 November 1999 (1999-11-02) -----	
A	US 2003/076048 A1 (RUTHERFORD JAMES C) 24 April 2003 (2003-04-24) -----	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2004/052408

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0953960	A	03-11-1999	US 6249269 B1 EP 0953960 A1 JP 3155251 B2 JP 11338404 A	19-06-2001 03-11-1999 09-04-2001 10-12-1999
US 2001045929	A1	29-11-2001	WO 0154107 A1	26-07-2001
US 2003160751	A1	28-08-2003	JP 2001083484 A US 2004227711 A1 US 6567062 B1	30-03-2001 18-11-2004 20-05-2003
US 6525709	B1	25-02-2003	NONE	
WO 9938148	A	29-07-1999	EP 1055218 A1 WO 9938148 A1	29-11-2000 29-07-1999
US 5977940	A	02-11-1999	JP 3305946 B2 JP 9243994 A	24-07-2002 19-09-1997
US 2003076048	A1	24-04-2003	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

PCT/EP2004/052408

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

CIB 7 G09G3/36

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G09G

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 953 960 A (HEWLETT PACKARD CO) 3 novembre 1999 (1999-11-03) alinéa '0029! alinéa '0065! alinéa '0068! - alinéa '0080! alinéa '0090! - alinéa '0096! figures 4-7	1-5,7,8, 11,12
A	US 2001/045929 A1 (MALAVIYA SHASHI D ET AL) 29 novembre 2001 (2001-11-29) alinéa '0039! - alinéa '0045! figures 1,2	1,7
A	US 2003/160751 A1 (FURUHASHI TSUTOMU ET AL) 28 août 2003 (2003-08-28) alinéa '0005! - alinéa '0007! figures 4,5	1,7
	----- -/-	

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *&* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

20 décembre 2004

Date d'expédition du présent rapport de recherche internationale

03/01/2005

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Farricella, L

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

PCT/EP2004/052408

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	AKIMOTO H ET AL: "AN INNOVATIVE PIXEL-DRIVING SCHEME FOR 64-LEVEL GRAY-SCALE FULL-COLOR ACTIVE MATRIX OLED DISPLAYS" 2002 SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS. BOSTON, MA, MAY 21 - 23, 2002, SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA : SID, US, vol. VOL. 33 / 2, mai 2002 (2002-05), pages 972-975, XP001134330 alinéa '0002!; figure 2 -----	1,7
A	US 6 525 709 B1 (O'CALLAGHAN MICHAEL J) 25 février 2003 (2003-02-25) colonne 5, ligne 1 - colonne 7, ligne 24 figure 3 -----	1,7
A	WO 99/38148 A (FED CORP ; MALAVIYA SHASHI (US); HOWARD WEBSTER E (US); PRACHE OLIVIER) 29 juillet 1999 (1999-07-29) -----	
A	US 5 977 940 A (HIOKI TSUYOSHI ET AL) 2 novembre 1999 (1999-11-02) -----	
A	US 2003/076048 A1 (RUTHERFORD JAMES C) 24 avril 2003 (2003-04-24) -----	

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande Internationale No

PCT/EP2004/052408

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0953960	A	03-11-1999	US 6249269 B1	19-06-2001
			EP 0953960 A1	03-11-1999
			JP 3155251 B2	09-04-2001
			JP 11338404 A	10-12-1999
US 2001045929	A1	29-11-2001	WO 0154107 A1	26-07-2001
US 2003160751	A1	28-08-2003	JP 2001083484 A	30-03-2001
			US 2004227711 A1	18-11-2004
			US 6567062 B1	20-05-2003
US 6525709	B1	25-02-2003	AUCUN	
WO 9938148	A	29-07-1999	EP 1055218 A1	29-11-2000
			WO 9938148 A1	29-07-1999
US 5977940	A	02-11-1999	JP 3305946 B2	24-07-2002
			JP 9243994 A	19-09-1997
US 2003076048	A1	24-04-2003	AUCUN	